

**1 D4 - TEKKOM B**



**RANGKAIAN SEKUENSIAL**



Nama : Septian Bagus Jumantoro

Kelas : 1 – D4 Teknik Komputer B

NRP : 3221600039

Dosen : Reni Soelistijorini B.Eng, MT

Mata Kuliah : Praktikum Rangkian Logika 1

Hari/Tgl. Praktikum : Senin, 25 Oktober 2021

PERCOBAAN 9 RANGKAIAN SEKUENSIAL

# TUJUAN :

* + - Membedakan jenis rangkaian sekuensial terhadap rangkaian kombinasional
    - Menjelaskan prinsip kerja dari rangkaian sekuensial
    - Membuat state diagram dari sebuah rangkaian sekuensial
    - Membuat SR Flip-flop dari gerbang NOR dan gerbang NAND
    - Membuat SR Flip-flop dengan Clock

# PERALATAN :

* Modul Trainer KL-31001 Digital
* Logic Lab Modul KL-33002

# TEORI :

* + 1. **Dasar Rangkaian Sekuensial**

Berdasarkan kemampuannya menyimpan data, rangkaian digital dibedakan menjadi dua macam, rangkaian kombinasional dan rangkaian sekuensial. Seperti yang telah

dipelajari pada percobaan kombinasional, data dimasukkan pada waktu *ti*, akan dikeluarkan

pada waktu *ti* juga. Pada rangkaian kombinasional, hanya ada dua keadaan, yaitu *Present Input*, yaitu data input yang diberikan pada saat itu dan *Present Output*, yaitu data yang dikeluarkan pada saat itu juga.

Pada rangkaian sekuensial ada siklus umpan balik dimana output yang dihasilkan pada waktu *ti* diumpanbalikkan sehingga menjadi input internal saat itu juga, bersama-sama dengan input dari luar. Hasil dari proses logika akan dikeluarkan sebagai output yang akan

datang. Karena adanya siklus umpan balik, maka terjadi penundaan waktu keluar dari data.

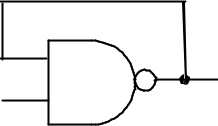
Adanya penundaan waktu keluar tersebut dimanfaatkan oleh disainer untuk menjadikan rangkaian sekuensial sebagai rangkaian pengingat atau penyimpan data. Pada rangkaian sekuensial ada tiga keadaan yaitu *Present Input, Present Output* dan *Next Output.*



|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  | *input* |  | *output* |
| *input* | Rangkaian | *output* |  |  | Kombinasional |
|  | Kombinasional |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  | Elemen |
|  |  |  |  |  | penyimpan |
|  | (a) |  |  |  | (b) |
| Gambar 9.1. Rangkaian Digital | | | | | |
| (a) Rangkaian Kombinasional | | | (b) Rangkaian Sekuensial | | |

Salah satu contoh sederhana sebuah rangkaian sekuensial adalah rangkaian NAND berumpan balik seperti ditunjukkan pada Gambar 9.2. Rangkaian tersebut terdiri dari gerbang NAND yang mempunyai *Present Input* A, *Present* dan *Next Output* B.



B

A

Gambar 9.2. Rangkaian Umpan Balik NAND

## Tabel Present/Next State

Seperti halnya rangkaian kombinasional, rangkaian sekuensial juga menggunakan Tabel Kebenaran untuk merepresentasikan hasil yang telah diperoleh. Istilah Tabel Kebenaran pada rangkaian sekuensial lebih dikenal sebagai Tabel PS/NS, karena rangkaian sekuensial mempunyai kondisi *Present* dan *Next State* untuk output-outputnya.

Tabel 9.1. Tabel PS/NS untuk rangkaian Gambar 9.2.

|  |  |  |
| --- | --- | --- |
| **INPUT** | **OUTPUT** | |
| **Present** | **Present** | **Next** |
| **Input** |
| **A** | **B** | **B** |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

## State Diagram

Sebuah *state diagram* menggambarkan perubahan kondisi dari sebuah variable (dalam hal ini adalah variable output) dari kondisi awal ke kondisi berikutnya. Kondisi dari variable tersebut berubah karena adanya pengaruh input dari luar. *State diagram* terdiri dari variable Output, dilambangkan dalam bentuk lingkaran dan variable input yang mempengaruhinya, dilambangkan dalam bentuk panah yang keluar dari masing-masing lingkaran.

## Y



**X**

Gambar 9.3. Ilustrasi state diagram

X sebagai variable output (*Present* dan *Next Output*), Y adalah variable Input

Untuk membuat *state diagram* dari rangkaian Gambar 9.2, telah ditentukan bahwa A adalah variable Input dan B adalah variable Output. Nilai B akan berubah dari kondisi awal ke kondisi berikutnya setelah mendapat pengaruh dari input A. State diagram dari perubahan kondisi tersebut ditunjukkan pada Gambar 9.4.

|  |  |  |  |
| --- | --- | --- | --- |
|  | ***0,1*** |  |  |
| **0** | ***1*** | **1** | ***0*** |

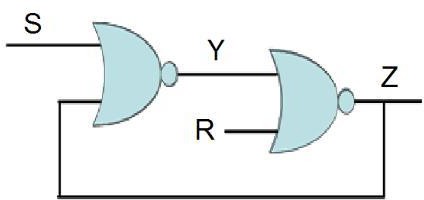
Gambar 9.4. State Diagram dari rangkaian Gambar 9.2

# SR Flip-flop dari gerbang NOR dan NAND

Rangkaian Sekuensial dapat dibuat dari gerbang kombinasional yang dimodifikasi sedemikian rupa sehingga menghasilkan kondisi Present State dan Next State. Ada dua jenis gerbang yang bisa digunakan : gerbang NOR dan gerbang NAND.

SR Flip-flop adalah jenis rangkaian sekuensial yang mempunyai dua input, yaitu input S (Set) dan input R (Reset), serta mempunyai dua output yaitu output Z dan 𝑍̅ . Nilai dari Z selalu berlawanan dengan 𝑍̅ , sehingga rangkaian ini disebut sebagai *Flip – Flop* (Z sebagai Flip dan 𝑍̅ sebag~~ai~~ Flop).

## SR Flip-flop dari gerbang NOR

Untuk membuat sebuah SR Flip-Flop dari gerbang NOR, dibentuk rangkaian seperti Gambar 9.5.

Gambar 9.5. SR Flip-flop dari gerbang NOR

Jika output Y dianggap mempunyai nilai yang berlawanan dengan output Z, maka Y = ̅ . Dengan kombinasi nilai biner dari input S dan R maka didapatkan Tabel PS/NS

untuk SR Flip-flop dari gerbang NOR adalah seperti pada Tabel 9.2.

Tabel 9.2. Tabel PS / NS untuk SR Flip-flop dari gerbang NOR

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **S** | **R** | **Z\*** | **Z** | **Kondisi** |
| 0 | 0 | Zn | Zn | Hold |
| 0 | 1 | 0 | 1 | Reset |
| 1 | 0 | 1 | 0 | Set |
| 1 | 1 | 0 | 0 | Not used |

Untuk melakukan analisa rangkaian sekuensial, diperlukan nilai dari Next Outputnya. Cara mendapatkan Next Output dari rangkaian di atas adalah sebagai berikut :

𝑍(𝑡 + ∆) = 𝑍̅̅̅(̅̅𝑡̅)̅̅+̅̅̅𝑅̅̅(̅𝑡̅̅)

𝑍̅(𝑡 + ∆) = 𝑆̅̅(̅̅𝑡̅)̅̅+̅̅̅𝑍̅̅(̅𝑡̅̅)

𝑍(𝑡 + 2∆) = ̅𝑍̅̅(̅̅𝑡̅̅+̅̅̅∆̅)̅̅+̅̅̅𝑅̅̅(̅̅𝑡̅̅+̅̅̅∆̅̅)

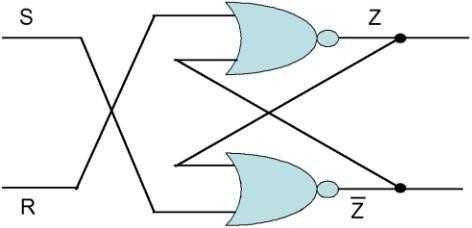
Jika ∆≪ 0 maka

atau 𝑍(𝑡 + 2∆) = 𝑆̅̅(̅̅𝑡̅̅)̅̅̅+̅̅̅̅̅𝑍̅̅̅̅(̅̅̅𝑡̅̅̅)̅̅+̅̅̅𝑅̅̅(̅𝑡̅̅+̅̅̅∆̅̅)

𝑍(𝑡 + ∆) = 𝑅̅(𝑡) ∙ [𝑆(𝑡) + 𝑍(𝑡)] … persamaan SR FF dengan NOR

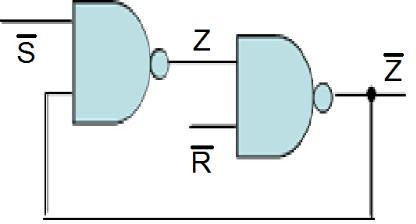
SR Flip-flop bisa dirangkai dengan cara lain seperti ditunjukkan pada Gambar 9.6.

|  |  |
| --- | --- |
| S | 1 |
|  | Z |
| R | 0 |
| (a) | (b) |

Gambar 9.6. SR Flip-flop dari gerbang NOR

* 1. Gambar rangkaian (b) Simbol logika

## SR Flip-flop dari gerbang NAND

Untuk membuat sebuah SR Flip-flop dari gerbang NAND, dibentuk rangkaian seperti Gambar 9.7.

Gambar 9.7. SR Flip-flop dari gerbang NAND Tabel 9.3. Tabel PS / NS untuk SR Flip-flop dari gerbang NAND

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **S** | **R** | **Z\*** | **Z** | **Kondisi** |
| 0 | 0 | Zn | Zn | Hold |
| 0 | 1 | 0 | 1 | Reset |
| 1 | 0 | 1 | 0 | Set |
| 1 | 1 | 0 | 0 | Not used |

Nilai Next Output dari gerbang NAND didapatkan dari persamaan sebagai berikut :

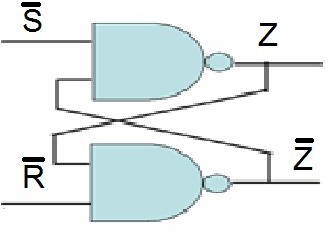
*Z* (*t* + ∆) = *S* (*t*).*Z* (*t*)

*Z* (*t* + ∆) = *R* (*t* ).*Z* (*t* )

*Z* (*t* + 2∆) = *Z* (*t* + ∆).*S* (*t* + ∆) atau *Z* (*t* + 2∆) = *R* (*t* ).*Z* (*t* ).*S* (*t* + ∆)

*Z* (*t* + ∆) = *S* (*t* ) + [*R* (*t* ).*Z* (*t* )]

Jika ∆ << 0 maka .. persamaan SR FF dengan NAND

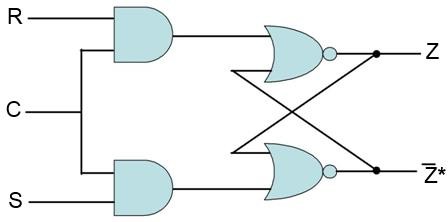
Rangkaian SR Flip-flop yang lain ditunjukkan pada Gambar 9.8.

|  |  |
| --- | --- |
| S | 1 |
| Z | |
| R | 0 |

|  |  |
| --- | --- |
| (a) | (b) |
| Gambar 9.8. SR Flip-flop dari gerbang NAND | |
| (a) Gambar rangkaian (b) Simbol logika | |

# SR Flip-Flop dengan Clock

Sebuah rangkaian Sekuensial dapat diatur sebagai elemen penyimpan jika diberi input kontrol. Input kontrol tersebut akan mengatur kapan Next Output boleh dieluarkan atau tidak. Pemberian input kontrol (untuk selanjutnya disebut Clock) ditunjukkan pada Gambar 9.9.

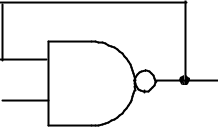


Gambar 9.9. SR Flip-flop dari gerbang NOR dengan Clock

Input C merupakan input kontrol yang akan mengatur nilai R dan S yang masuk ke Flip-flop. Jika C bernilai 1, output Flip-flop akan berubah ke kondisi Next-nya sesuai dengan kombinasi input R dan S nya, sehingga *Z* (*t* + ∆) = *R* (*t* ).[*S* (*t* ) + *Z* (*t* )] . Jika C bernilai 0, output Flip-flop tidak berubah, artinya kondisi Next sama dengan kondisi Present-nya, atau *Z* (*t* + ∆) = *Z* (*t* ) . Dengan kondisi ini maka flip-flop dapat dikatakan sebagai elemen penyimpan

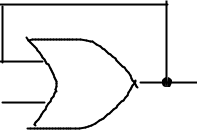
# PROSEDUR PERCOBAAN

1. Pada modul KL-33002 blok b, buat rangkaian dari kedua macam gerbang logika di bawah ini :



A

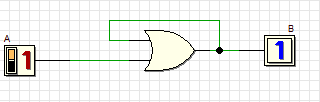
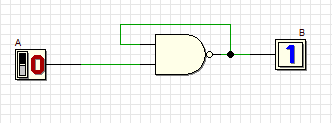
B



A

B

* 1. (b)

Gambar 9.10. Percobaan Dasar Rangkaian Sekuensial

**(b)**

**(a)**

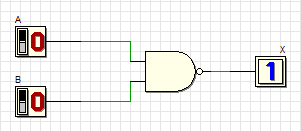
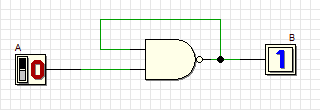
1. Amati hasil yang terjadi. Catat pada Tabel PS/NS.

Tabel PS/NS (a)

|  |  |  |
| --- | --- | --- |
| **INPUT** | **OUTPUT** | |
| **PRESENT INPUT** | **PRESENT** | **NEXT** |
| **A** | **B** | **B** |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

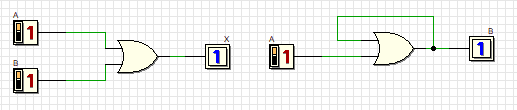
Tabel PS/NS (b)

|  |  |  |
| --- | --- | --- |
| **INPUT** | **OUTPUT** | |
| **PRESENT INPUT** | **PRESENT** | **NEXT** |
| **A** | **B** | **B** |
| 0 | 0 | HOLD |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

1. Bandingkan hasilnya bila rangkaian di atas dibuat menjadi rangkaian kombinasional (tanpa umpan balik).

|  |  |  |
| --- | --- | --- |
| **INPUT** | **OUTPUT** | |
| **A** | **B** | **X** |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

|  |  |  |
| --- | --- | --- |
| **INPUT** | **OUTPUT** | |
| **PRESENT INPUT** | **PRESENT** | **NEXT** |
| **A** | **B** | **B** |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |



|  |  |  |
| --- | --- | --- |
| **INPUT** | **OUTPUT** | |
| **PRESENT INPUT** | **PRESENT** | **NEXT** |
| **A** | **B** | **B** |
| 0 | 0 | HOLD |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

|  |  |  |
| --- | --- | --- |
| **INPUT** | **OUTPUT** | |
| **A** | **B** | **X** |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

1. Dapatkan State diagram dari kedua rangkaian di atas.

State Diagram (a)

0,1

0

0

0

1

State Diagram (b)

1

0

0,1

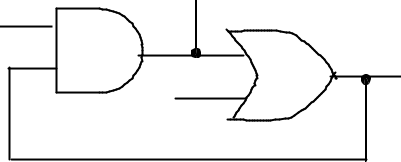
1

0

1. Buat rangkaian seperti Gambar 9.11 di bawah ini. Dapatkan Tabel PS/ NS-nya dan state diagramnya.

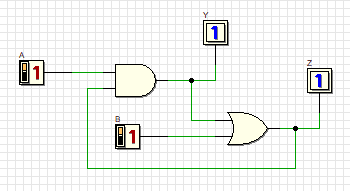
X

A



Y

B

Gambar 9.11. Rangkaian sekuensial dengan 2 jenis gerbang

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **PRESENT**  **STATE** | **PRESENT INPUT AB** | | | |
| **NEXT STATE** | | | |
| YZ | 00 | 01 | 10 | 11 |
| 00 | 00 | 01 | 00 | 11 |
| 01 | 00 | 01 | 11 | 11 |
| 10 | 00 | 01 | 11 | 11 |
| 11 | 00 | 01 | 11 | 11 |

01

00

-0

01

01

00

11

1-

01

01

00

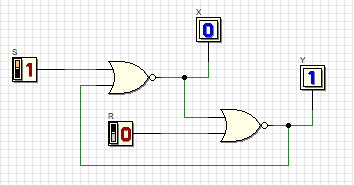
00

11

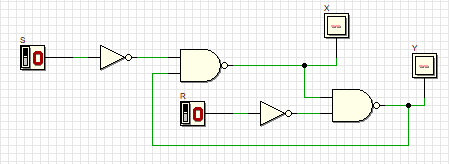
10

11

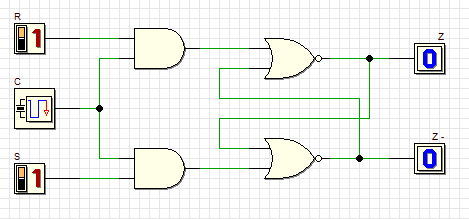
1-

1. Buat rangkaian SR Flip-flop dari gerbang NOR seperti Gambar 9.5.
2. Dapatkan Tabel Present State / Next Statenya

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **S** | **R** | **X** | **Y** | **KONDISI** |
| 0 | 0 | X | Y | HOLD |
| 0 | 1 | 1 | 0 | RESET |
| 1 | 0 | 0 | 1 | SET |
| 1 | 1 | 0 | 0 | NOT USED |

1. Buat rangkaian SR Fip-flop dari gerbang NAND seperti Gambar 9.7.
2. Dapatkan Tabel Prsent State / Next Statenya

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **S** | **R** | **X** | **Y** | **KONDISI** |
| 0 | 0 | X | Y | HOLD |
| 0 | 1 | 0 | 1 | RESET |
| 1 | 0 | 1 | 0 | SET |
| 1 | 1 | 1 | 1 | NOT USED |

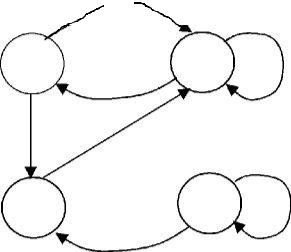
1. Buat rangkaian SR Flip-flop dengan Clock seperti Gambar 9.9. Input C berasal dari switch input.
2. Dapatkan Tabel Kebenarannya.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **C** | **S** | **R** | **Z** | **Z -** | **KONDISI** |
| 0 | 0 | 0 | Z | Z - | HOLD |
| 0 | 0 | 1 | Z | Z - | HOLD |
| 0 | 1 | 0 | Z | Z - | HOLD |
| 0 | 1 | 1 | Z | Z - | HOLD |
| 1 | 0 | 0 | Z | Z - | HOLD |
| 1 | 0 | 1 | 0 | 1 | RESET |
| 1 | 1 | 0 | 1 | 0 | SET |
| 1 | 1 | 1 | 0 | 0 | NOT USE |

# TUGAS

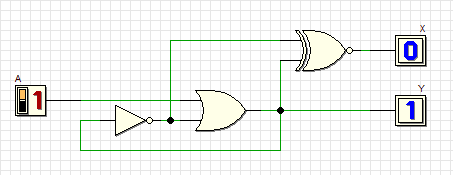
1. Diketahui sebuah state diagram seperti Gambar 9.12.
   1. Dapatkan Tabel PS/NS-nya

|  |  |  |
| --- | --- | --- |
| **INPUT** | **OUTPUT** | |
| **PRESENT INPUT** | **PRESENT** | **NEXT** |
| **A** | **XY** | **XY** |
| 0 | 00 | 01 |
| 0 | 01 | 00 |
| 0 | 10 | 10 |
| 0 | 11 | 01 |
| 1 | 00 | 11 |
| 1 | 01 | 01 |
| 1 | 10 | 11 |
| 1 | 11 | 01 |

* 1. Dapatkan gambar rangkaiannya.

|  |  |  |
| --- | --- | --- |
|  | 0 |  |
| 00 | 01 | 1 |
|  | 0 |  |
| 1 | 0,1 |  |
| 11 | 10 | 0 |
|  | 1` |  |

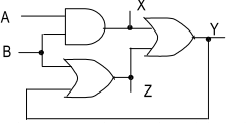
Gambar 9.12. State Diagram untuk tugas 1.



1. Sebuah rangkaian sekuensial ditunjukkan pada Gambar 9.13.
   1. Dapatkan Tabel PS/NS-nya.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **PRESENT**  **STATE** | **PRESENT INPUT AB** | | | |
| **NEXT STATE** | | | |
| **XYZ** | **00** | **01** | **10** | **11** |
| **000** | 000 | 011 | 000 | 111 |
| **001** | 011 | 011 | 011 | 111 |
| **010** | 011 | 011 | 011 | 111 |
| **011** | 011 | 011 | 011 | 111 |
| **100** | 011 | 011 | 011 | 111 |
| **101** | 011 | 011 | 011 | 111 |
| **110** | 011 | 011 | 011 | 111 |
| **111** | 011 | 011 | 011 | 111 |

* 1. Buat State Diagramnya.



Gambar 9.13. Rangkaian Sekuensial untuk tugas 2

- 0

010

001

100

000

-,-

-,-

01

-,-

-,-

-,-

-,-

-,-

11

11

11

111

110

101

011

11

11

11

11

1. Dapatkan State Diagram dari rangkaian SR Flip-flop dengan gerbang NOR maupun dengan gerbang NAND yang sudah diamati.

State Diagram SR Flip-Flop NOR

10

10

0 -

01

10

11

00

- 0

01

00

01

State Diagram SR Flip-Flop NAND

10

0 -

01

10

11

00

- 0

01

00

01

10

**9.6 ANALISA**

Berdasarkan percobaan tersebut dapat diketahui bahwa Rangkaian Sekuensial adalah sebuah rangkaian logika yang inputnya dipengaruhi oleh output sebelumnya. Untuk membuat/mencari hasil dari Rangkaian Sekuensila dapat menggunakan Tabel PS/NS atau State Diagram. Tabel PS/NS adalah Tabel Present/Next State. State Diagram adalah gambar dari sebuah alur Rangkaian Sekuensial yang setiap gambarnya memiliki arti:

* merupakan Output
* merupakan Input

**9.7 KESIMPULAN**

Berdasarka praktikum tersebut dapat disimpulakn bahwa:

* Kita dapat membedakan antara Rangkian Kombinasi dengan Rangkaian Sekuensial.
* Mengetahui cara kerja dari Rangkaian Sekuensial
* Cara membuat Rangkaian Sekuensial beserta Tabel PS/NS dan State Diagram